

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

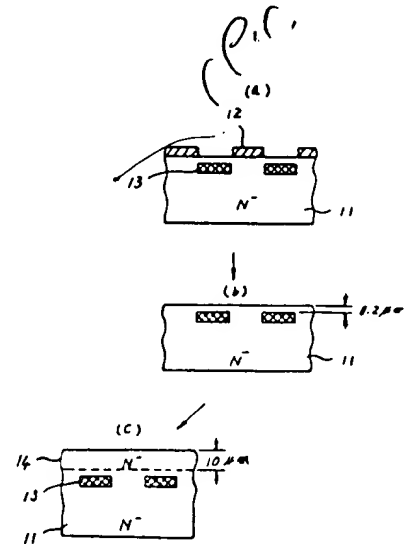
JA 521

(54) FABRICATION OF SEMICONDUCTOR SUBSTRATE

(11) 59-27521 (A) (43) 14.2.1984 (19) JP  
 (21) Appl. No. 57-136262 (22) 6.8.1982  
 (71) HITACHI SEISAKUSHO K.K. (72) YUTAKA KOBAYASHI(2)  
 (51) Int. CP. H01L21/205, H01L21/74

**PURPOSE:** To prevent auto-doping and easily form high quality low impurity single impurity single crystal layer by forming a single crystal growth layer with low impurity concentration on a semiconductor base material with the growth method after forming a coating film of low impurity concentration on the surface.

**CONSTITUTION:** After masking an Si substrate 11 with a resist film 12, impurity ion is implanted and thereby the  $N^+$  buried layer 13 is formed because ion is implanted to the region of  $0.2 \sim 1.0 \mu m$  from the surface. In this case, concentration is about  $10^{19} cm^{-3}$  or less in maximum but the impurity concentration of region of  $0.2 \mu m$  from the surface is held as low concentration as  $10^{16} cm^{-3}$ . Here, the resist film 12 is removed and an Si growth layer 14 of low concentration  $N^-$  is formed in the thickness of  $10 \mu m$  by the gas phase epitaxial growth method. Since the  $N^+$  buried layer 13 is not directly exposed to the gas phase, impurity is not easily removed and impurity is little auto-doped to the growth layer 14.



437/25

- cross H device  
 Anneal T  
 (partial translation  
 obtained)

T.T

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—27521

⑬ Int. Cl.<sup>3</sup>  
H 01 L 21/205  
21/74

識別記号

庁内整理番号  
7739—5F  
8122—5F

⑭ 公開 昭和59年(1984)2月14日

発明の数 2  
審査請求 未請求

(全 4 頁)

⑮ 半導体基体の製法

⑯ 特 願 昭57—136262  
⑰ 出 願 昭57(1982)8月6日  
⑱ 発 明 者 小林裕  
日立市幸町3丁目1番1号株式  
会社日立製作所日立研究所内  
⑲ 発 明 者 鈴木誉也  
日立市幸町3丁目1番1号株式

会社日立製作所日立研究所内  
⑲ 発 明 者 深見彰  
日立市幸町3丁目1番1号株式  
会社日立製作所日立研究所内  
⑳ 出 願 人 株式会社日立製作所  
東京都千代田区丸の内1丁目5  
番1号  
㉑ 代 理 人 弁理士 高橋明夫

明 細 書

発明の名称 半導体基体の製法

特許請求の範囲

1. 低不純物濃度の単結晶層を露出表面層とし、  
該単結晶層の下層に高不純物濃度の埋め込み層を  
具えた構造の半導体基体の製法において、不純物  
打ち込み深度を制御して低不純物濃度の半導体基  
板の上表面に低不純物濃度の被覆膜を有する高不  
純物濃度層を形成した後、成長法により前記半導  
体基板上に低不純物濃度の単結晶成長層を形成す  
ることを特徴とする半導体基体の製法、

2. 低不純物濃度の単結晶層を露出表面層とし、  
該単結晶層の下層に高不純物濃度の埋め込み層を  
具えた構造の半導体基体の製法において、露出し  
て形成された高不純物濃度層を有する低不純物濃  
度の半導体基板上表面を高熱で熱処理した後、成  
長法により前記半導体基板上に低不純物濃度の単  
結晶成長層を形成することを特徴とする半導体基  
体の製法。

発明の詳細な説明

本発明は、低不純物濃度の単結晶層の下層に高  
不純物濃度の埋込層を有する構造の半導体基体の  
製法に関する。

トランジスタやバイポーラIC、MOS—IC  
等を製造するにあつて、表面層が低不純物濃度  
(以下、単に低濃度と称する。)の半導体単結晶  
層であつて、その単結晶層の部分的又は全面の下  
層に高不純物濃度(以下、単に高濃度と称する。)の  
埋込層が形成されてなる構造の半導体基体が用  
いられる。従来、このような構造の半導体基体を  
形成するには、高濃度の表面層が形成された半導  
体基板上に、低濃度の単結晶層を気相エピタキシ  
ヤル法により成長させる方法が、広く行われてい  
る。

ところが、従来の気相成長法における気相エピ  
タキシャル成長工程は、約1100℃以上の高温  
の還元性雰囲気ガス(一般に水素ガス)中にて行  
われることから、高濃度層がその高温ガスにさら  
されるため、その表面から不純物が気相に離脱さ  
れ、その不純物が気相成長層に混入してしまうと

いう、いわゆるオートドーピング現象が起きていた。そのため、従来の気相エピタキシャル成長法等の成長法では、低濃度の単結晶層を得ることが困難であるという欠点があつた。

また、従来、上記したオートドーピング現象を阻止する方法として、気相成長反応領域の気圧を下げ、高濃度層表面から離脱した不純物を、逸早く成長に関与しない領域に移動させるようにした、いわゆる減圧エピタキシャル成長法が提案されている。しかしながら、この方法では、気圧を下げるための排気装置が必要となることから、装置が大形なものになつてしまうととも、その排気装置内に反応ガスが入るため、排気装置を定期的に補修しなければならないという欠点があつた。

本発明の目的は、低濃度層の成長工程において、減圧させることなくオートドーピングを阻止させることができ、簡単な方法で高品質の低濃度層を成長形成させることができる半導体基体の製法を提供することにある。

本発明は、低不純物濃度の半導体基板中へ不純

物を打ち込んで高不純物濃度層を形成するにあつて、その打ち込み深度を制御して上表面に低不純物濃度の被覆膜を形成するか、あるいは、露出して形成された高不純物濃度層を有する低不純物濃度の半導体基板上表面を高温で熱処理して上表面に低不純物濃度の被覆膜を形成した後、成長法により前記半導体基体上に低不純物濃度の単結晶成長層を形成させることにより、オートドーピングを阻止させて、高品質の低不純物単結晶層を簡単に形成させようとするものである。

以下、本発明の製法によつて前記目的が達成される理由について説明する。

まず、前述したオートドーピング現象について、第1及び第2図を用いて詳説する。

第1図に示すような、高濃度(例えば $N^+$ )の埋込層2を有する低濃度の半導体基体1を形成しようとする場合、第2図に模式的に示したように、まず低濃度の半導体基板3の表面から、不純物4をドーブして $N^+$ 埋込層2を形成する。次に高温の還元性雰囲気ガス(例えば $H_2$ ガス)中にて、

エピタキシャルにより低濃度の成長層5を形成させる。このとき、不純物4が $N^+$ 埋込層2から離脱され、成長層5に混入されてしまうのである。このようなオートドーピングが著しい場合には、 $N^+$ 埋込層2間の成長層5にも不純物がドーブされてしまい、最悪の場合 $N^+$ 埋込層間がつながってしまうということになる。

このようなオートドーピングにより、成長層5に不純物が混入される場合は、高濃度層から不純物が気相に離脱される速度と、気相中における拡散速度とに関係している。つまり、雰囲気温度が高い程離脱速度が大きく、また、固相に比べて気相における拡散速度が著しく大きいこと等がオートドーピングの発生原因といえる。

従つて、本発明の如く、エピタキシャル成長工程において、高温雰囲気ガスにさらされる高濃度層の表面を、低濃度の被覆膜で覆つておけば、高濃度層の不純物は気相へ直接離脱されることがなくなり、しかも、被覆膜(固相)における拡散速度が著しく低いものであることから、成長層に不

純物を混入させるオートドーピングが、阻止されることになるのである。

なお、本発明の効果は上記した気相エピタキシャル成長に限られるものではなく、表面に高濃度層が形成された半導体基板上に、低温のCVD (Chemical Vapor Deposition) 法により半導体多結晶層を形成し、この多結晶層を融解させて液相エピタキシャル成長させる方法にも同様の効果がある。つまり、多結晶層をレーザ照射して融解させるとき、高濃度層の部分まで融解させるため、融解された高濃度層から多量の不純物が、エピタキシャル成長層に浸入することがあつたが、低濃度の被覆膜があれば、この被覆膜の上部にのみ融解する融解条件にて、制御すれば、前述と同様に不純物の拡散は被覆膜で阻止され、液相の成長層にオートドーピングされることがなくなる。

以下、本発明の適用された具体的な実施例に基づいて、さらに詳細に説明する。

第3図(a) - (b) - (c)に本発明の第1実施例の工程が示されている。

第3図(a)に示された工程において、シリコン(Si)基板11にレジスト膜12でマスクを施した後、加速電圧200kV、打ち込み方向 $\langle 100 \rangle$ にて不純物イオン打ち込みする。これによつて、表面から0.2 $\mu\text{m}$ ~1.0 $\mu\text{m}$ の領域にイオンが打ち込まれ $N^+$ の埋込層13が形成される。その濃度は最大 $10^{18}\text{cm}^{-3}$ 程度となるが、表面から0.2 $\mu\text{m}$ までの領域の不純物濃度は、 $10^{18}\text{cm}^{-3}$ 以下の低濃度に保持される。

次に、第3図(b)の工程にてレジスト膜12を除去し、第3図(c)に示された工程において、気相エピタキシャル成長法により、低濃度( $N^+$ )のSi成長層14を10 $\mu\text{m}$ 形成する。このとき $N^+$ の埋込層13は気相と直接接していないので、不純物が離脱されにくく、成長層14には殆んど不純物がオートドーピングされることがない。因に本実施例により形成された半導体基体を用いて、断面の抵抗分布及び平面方向の抵抗分布からオートドーピング量を調べたところ、測定することが不可能な程少なかった。

拡散は殆んど無視することができる。

第4図(a)~(b)に本発明の第3実施例の各工程が示されている。

本第3実施例にて製造される半導体基体は、MOS形LSIに好適なものの例である。近年、MOS形LSIの微細化が進むにつれ、 $\alpha$ 線による誤動作や、CMOS(Complementary MOS)のラッチアップ等の問題が発生している。その解決策として、高不純物濃度の半導体基体上に、エピタキシャル成長された低不純物濃度の、単結晶成長層を有する半導体基体を用いることが提案されている。

第4図(a)~(d)に示されたように、本第3実施例はGaが添加されたSi基板上に、高純度のSi成長層を形成させる方法である。まず、第4図(a)において、濃度 $10^{18}\text{cm}^{-3}$ のGaが添加されたSi基板21をドライ $\text{O}_2$ 、温度1250℃の雰囲気中で、4時間熱処理する。この工程により表面附近のGaは気相中に離脱され、Si基板21表面から0.5 $\mu\text{m}$ 程度のSi層22

第3図(a)~(b)~(d)~(e)に本発明の第2実施例の工程が示されている。第3図(a)~(b)の工程は前述したので省略する。

第3図(d)に示された工程にて、0.2 $\mu\text{m}$ 厚の被覆膜を有する $N^+$ 埋込層13の形成された半導体基板11上に、600℃の $N_2$ 、ガス雰囲気中にて0.5 $\mu\text{m}$ 厚の多結晶Si層15を形成する。

つづいて第3図(e)の工程にて、その多結晶Si層15に、エネルギー密度 $2.5\text{J}/\text{cm}^2$ のQ-スイッチパルスレーザーを照射する。この照射によつて表面から約0.6 $\mu\text{m}$ までのSi層が融解され、その後降温して液相成長させると、不純物を含まない単結晶成長層16を得ることができる。つまり、0.2 $\mu\text{m}$ 厚の被覆膜があるために、 $N^+$ の埋込層13と被覆膜の一部が融解されず、融解されなかつた低濃度の被覆膜を種結晶として、高品質の単結晶成長層16が形成されるのである。なお、同工程で $N^+$ の埋込層16が高温になることがあるが、その時間は数100nsと極めて短く、しかも同相の状態であることから、不純物の

は $10^{17}\text{cm}^{-3}$ 程度の不純物濃度の単結晶層となる。次に、第4図(b)の工程において、工程中に形成された $\text{SiO}_2$ 膜23を、フッ化水素酸液で除去した後、650℃で多結晶Si層24を約0.5 $\mu\text{m}$ 形成する。つづいて、第4図(c)において、空气中または不活性ガス雰囲気中で、エネルギー密度 $2.5\text{J}/\text{cm}^2$ のQ-スイッチパルスレーザーを照射する。これによつて、多結晶Si層24は、表面から約0.6 $\mu\text{m}$ まで融解され、低不純物濃度の単結晶Si層22を種結晶として単結晶化される。この単結晶化されたSi層25の不純物濃度をC-V測定により測定したところ、約 $10^{15}\text{cm}^{-3}$ であり、高不純物濃度層からのGaの拡散はほとんど生じていないことが確認された。

以上、本発明の実施例に基づいて説明してきたが、本発明は気相・液相のエピタキシャル成長に限られるものではなく、固相エピタキシャル成長あるいは他の成長法にも適用可能である。また、半導体にあつてもSiに限られるものではなく、Ge、GaAs、GaP、GaSb又は他の半導

体すべてに適用可能である。さらに、前述した多結晶Si層の融解に用いたQ-スイッチパルスレーザーは、CWレーザー等の他のレーザー、電子ビーム、ランプ又は輻射熱であつてもよい。

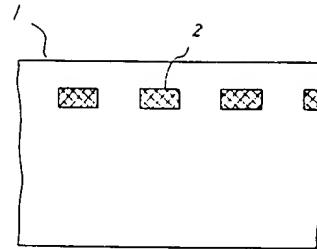
以上説明したように、本発明によれば、高濃度層を有する半導体基板上に低濃度層を形成するにあつて、不純物のオートドーピングを阻止させることができ、高品質の単結晶低濃度層を簡単に形成させることができるという効果がある。

図面の簡単な説明

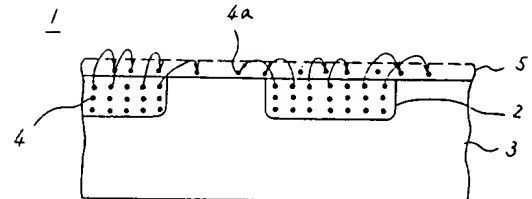
第1図は本発明法に係る半導体基体の断面構成図、第2図はオートドーピング現象の説明図、第3図(a) - (b) - (c) は本発明の第1実施例：同図(a) - (b) - (d) - (e) は本発明の第2実施例の各工程図、第4図(a) ~ (d) は本発明の第3実施例の各工程図である。

1…半導体基体、2, 13…埋込層、3…半導体基板、4…不純物、5, 14, 16, 25…成長層、11, 21…シリコン基板、15, 24…多結晶Si層。

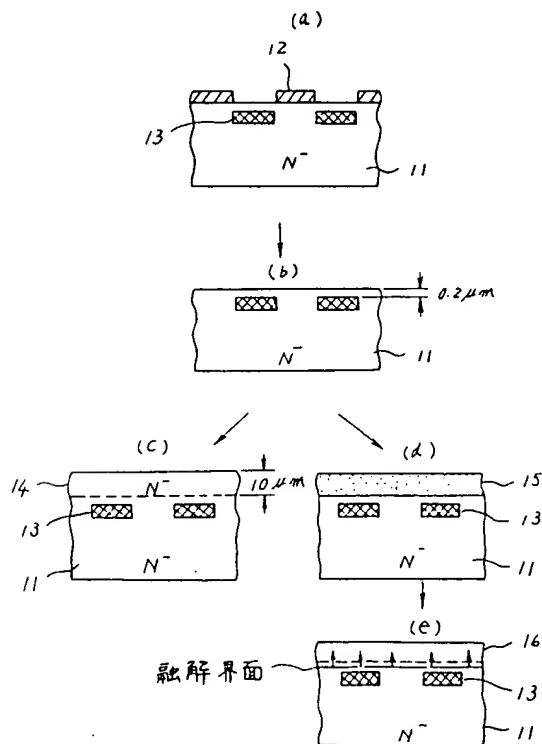
第 1 図



第 2 図



第 3 図



第 4 図

